|  |  |
| --- | --- |
| Gerb-BMSTU_01**­­** | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

Факультет «Информатика и системы управления»

Кафедра «Программное обеспечение ЭВМ и информационные технологии»

**ОТЧЁТ ПО ЛАБОРАТОРНОЙ РАБОТЕ №7**

**«ПОЛЕВОЙ ТРАНЗИСТОР»**

по курсу «Основы электроники»

Студент: Дубов Андрей Игоревич

Группа: ИУ7-33Б

Студент \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Дубов А. И.

*подпись, дата*

Преподаватель \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Оглоблин Д. И.

*подпись, дата*

Оценка \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

*2022 г*

**Оглавление**

[Параметры транзисторов 3](#_Toc126088183)

[Характеристики NJFET 3](#_Toc126088184)

[Характеристики PMOS 5](#_Toc126088185)

[JFET как усилитель 7](#_Toc126088186)

[Полевой транзистор в импульсном режиме 8](#_Toc126088187)

[Инвертор на основе КМОП ключа 8](#_Toc126088188)

[Исследования логического элемента 2И-НЕ 10](#_Toc126088189)

[Устройство ячейки триггера статической памяти. 12](#_Toc126088190)

# Параметры транзисторов

В работе используется транзисторы NJFET 2N3970 NMOS IRF533 PMOS IRF9533

Характеристики полевого транзистора.

## Характеристики NJFET

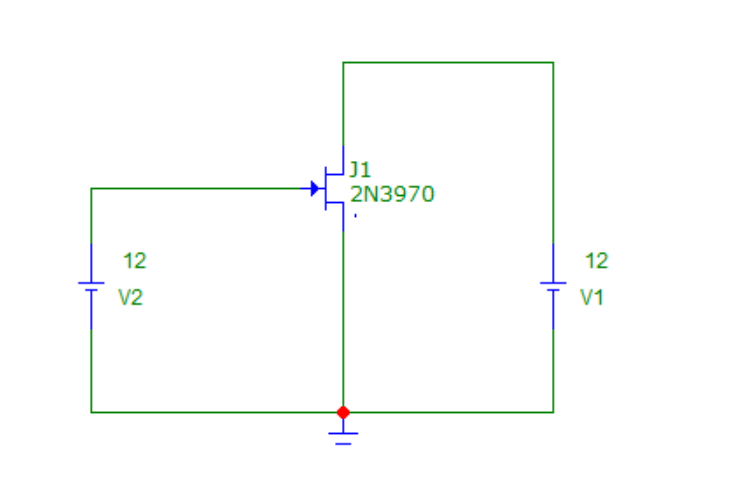


Рисунок 1 Схема

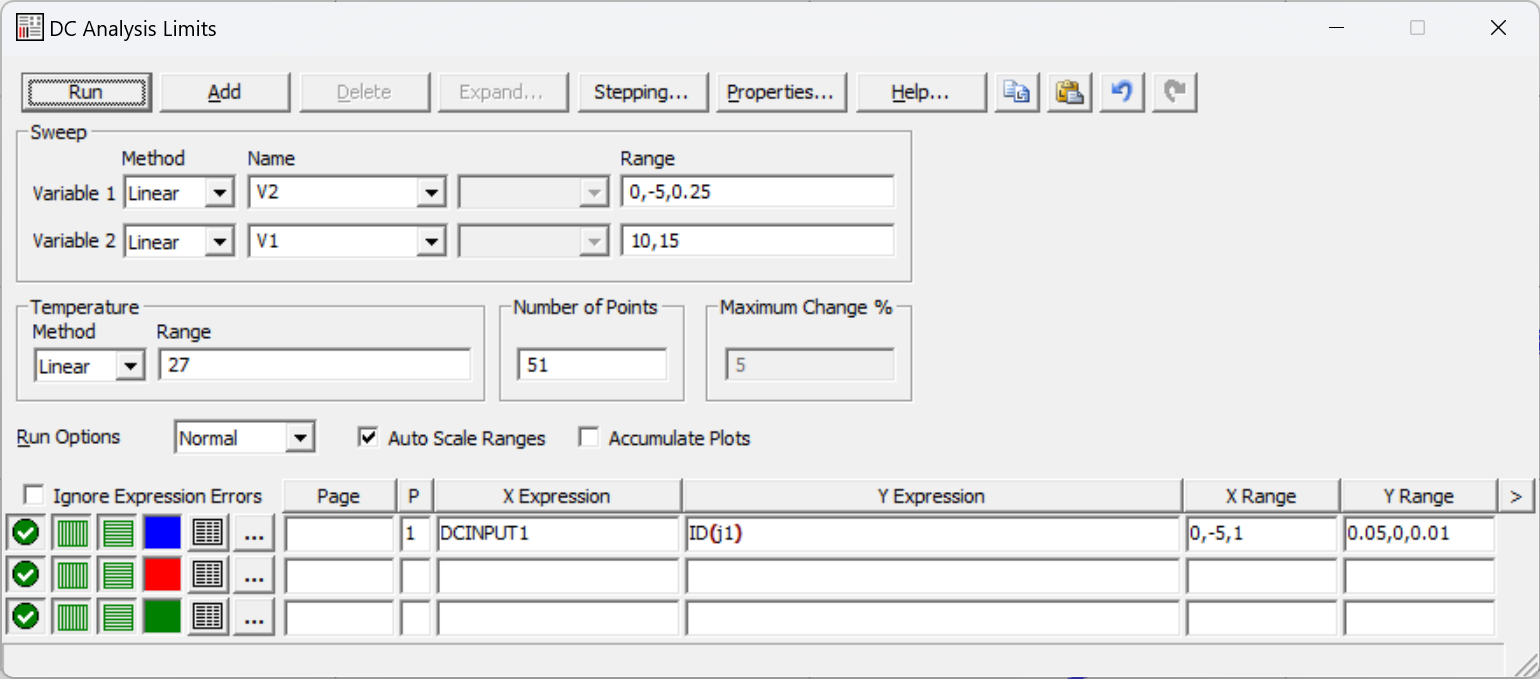


Рисунок 2 Настройки DC

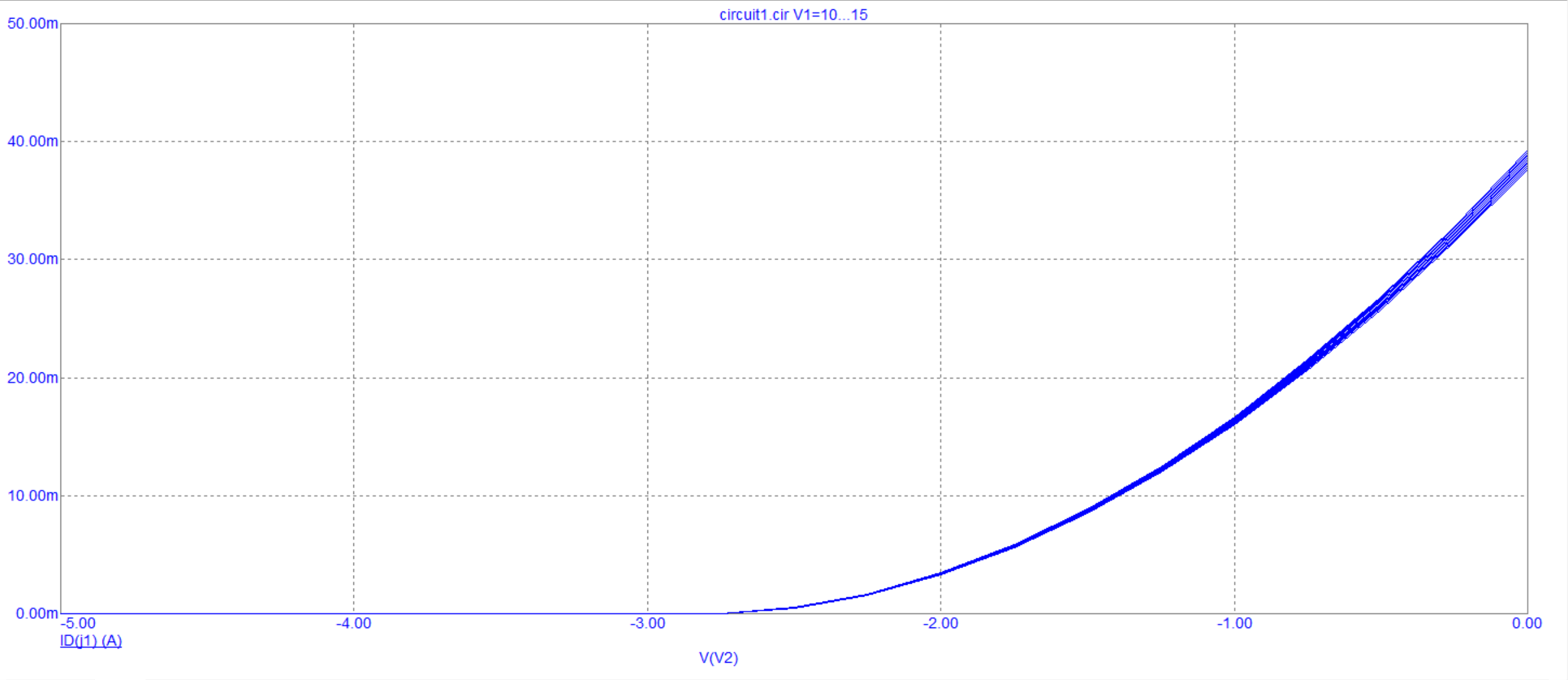


Рисунок 3 График передаточных характеристик

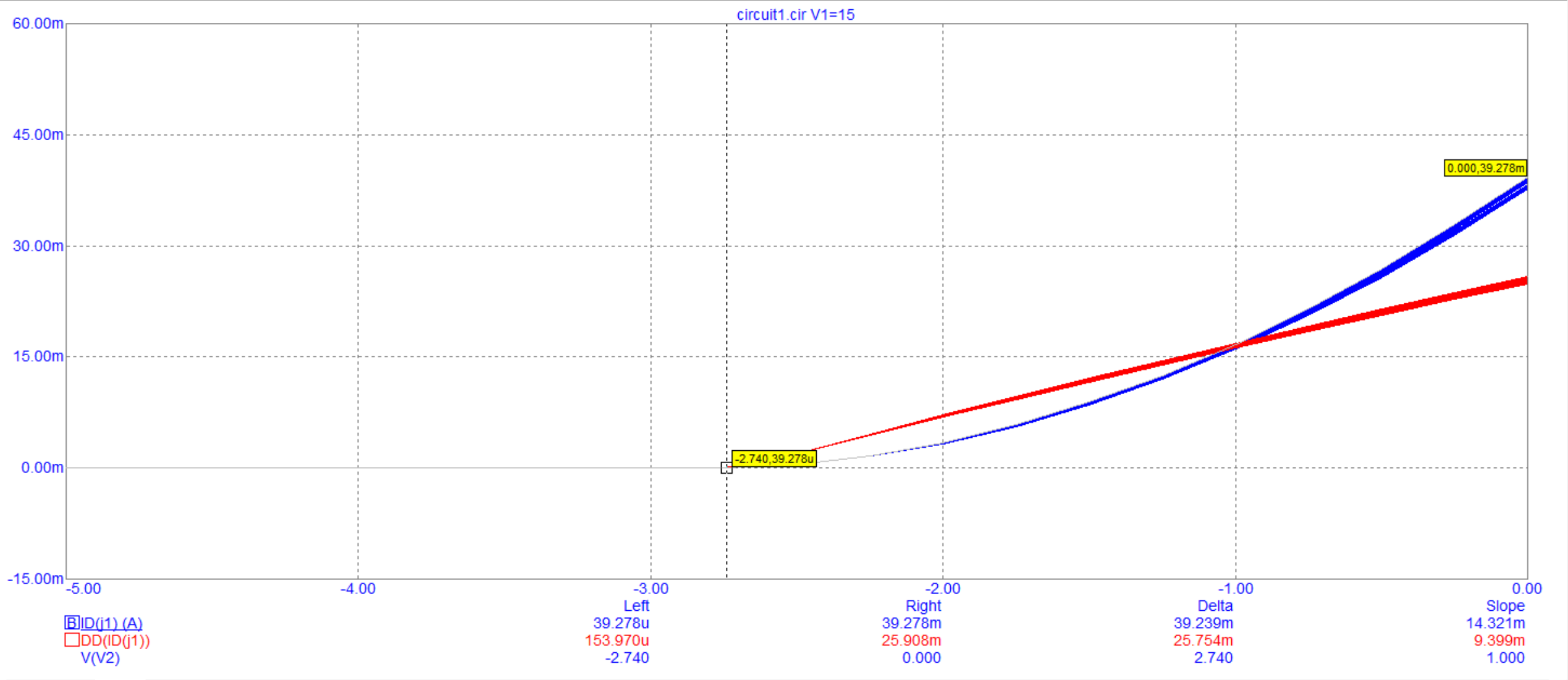


Рисунок 4 Ток пример 1/10 от начального

Начальный ток 39.278мА. Напряжение отсечки в точке -2.74 Теоретически Smax =2I нач/ Uотсечки = 2\*39.278mA/2.74B ~= 28.62мА/В.

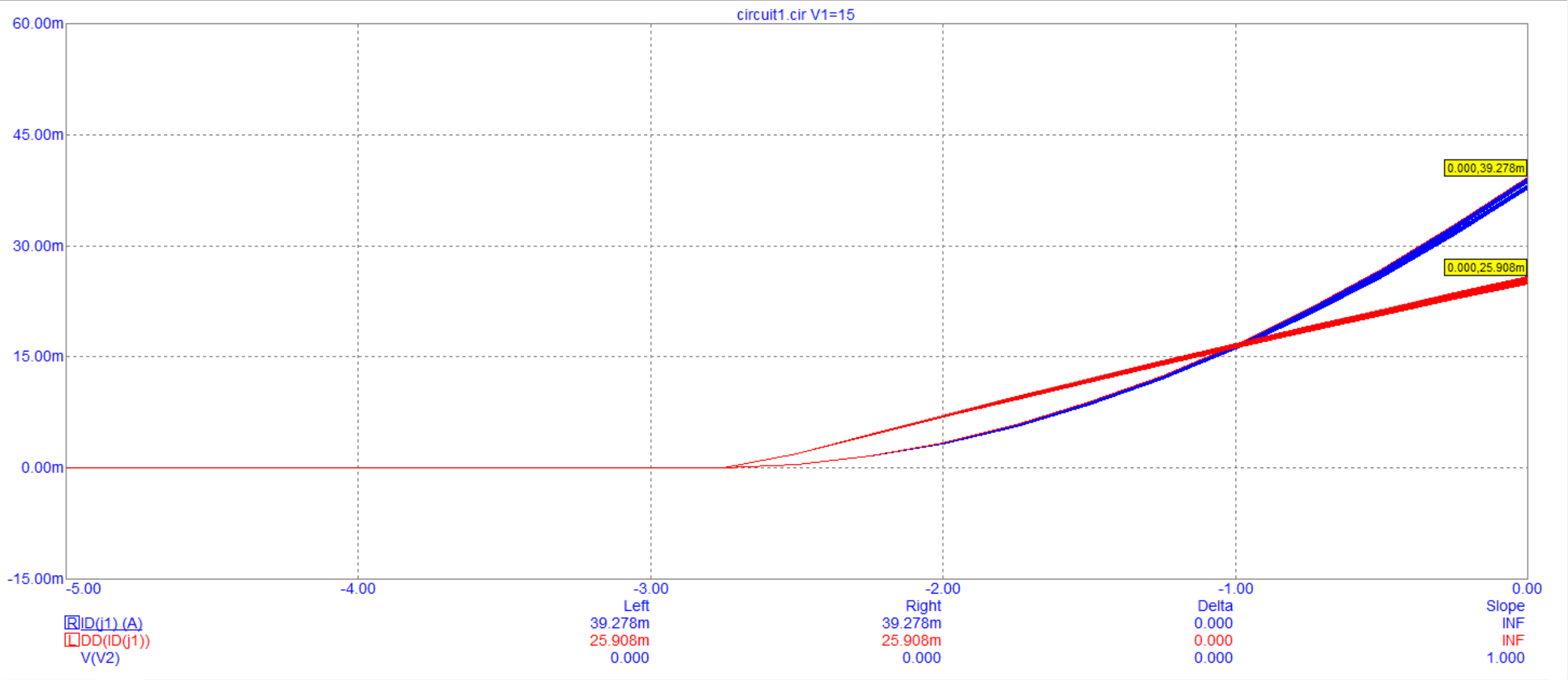


Рисунок 5 Производная

Отсюда крутизна примерно 25.908мА/В. Она отличается от теоретической на 2.72мА/В.

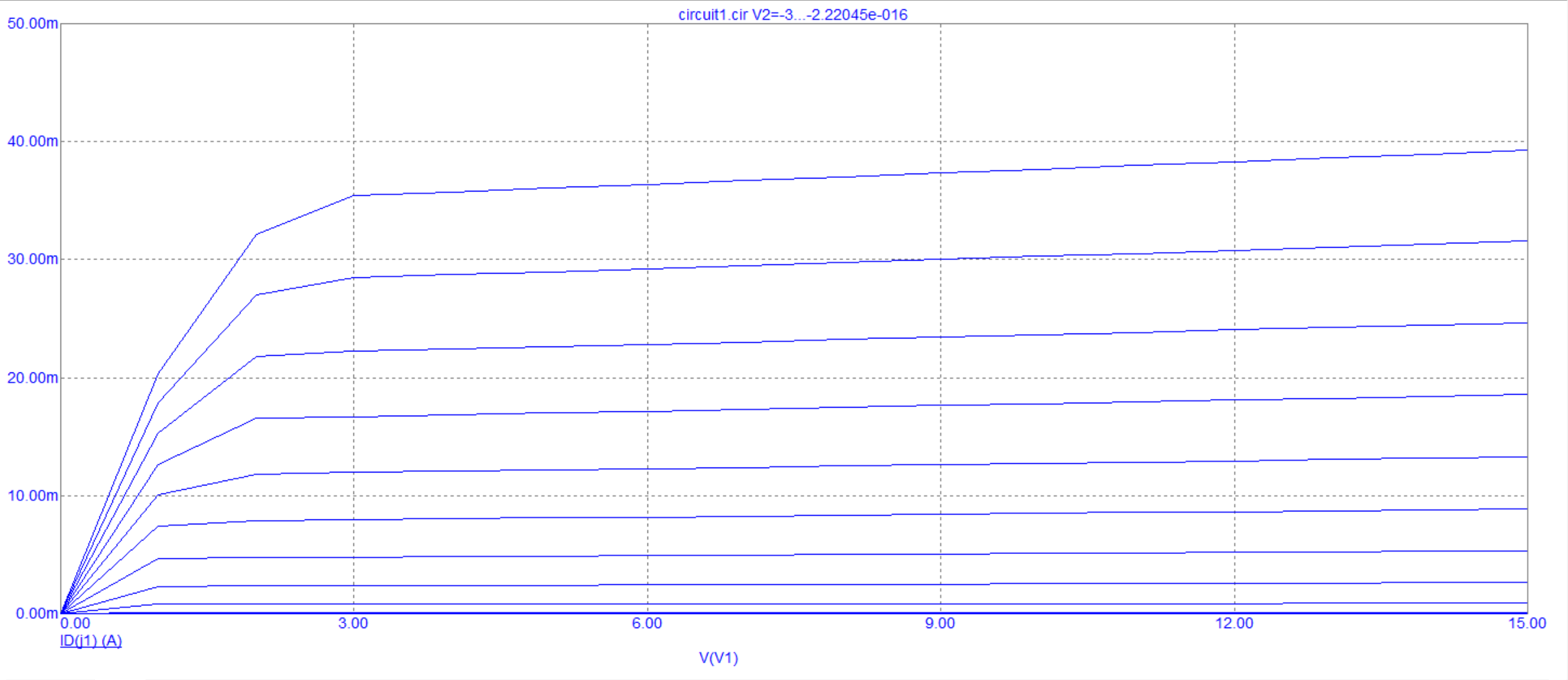


Рисунок 6 Выходные характеристики

## Характеристики PMOS

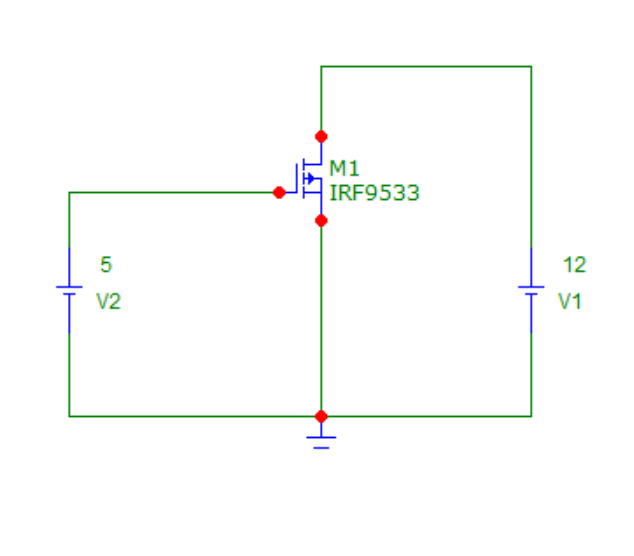


Рисунок 7 Pmos схема

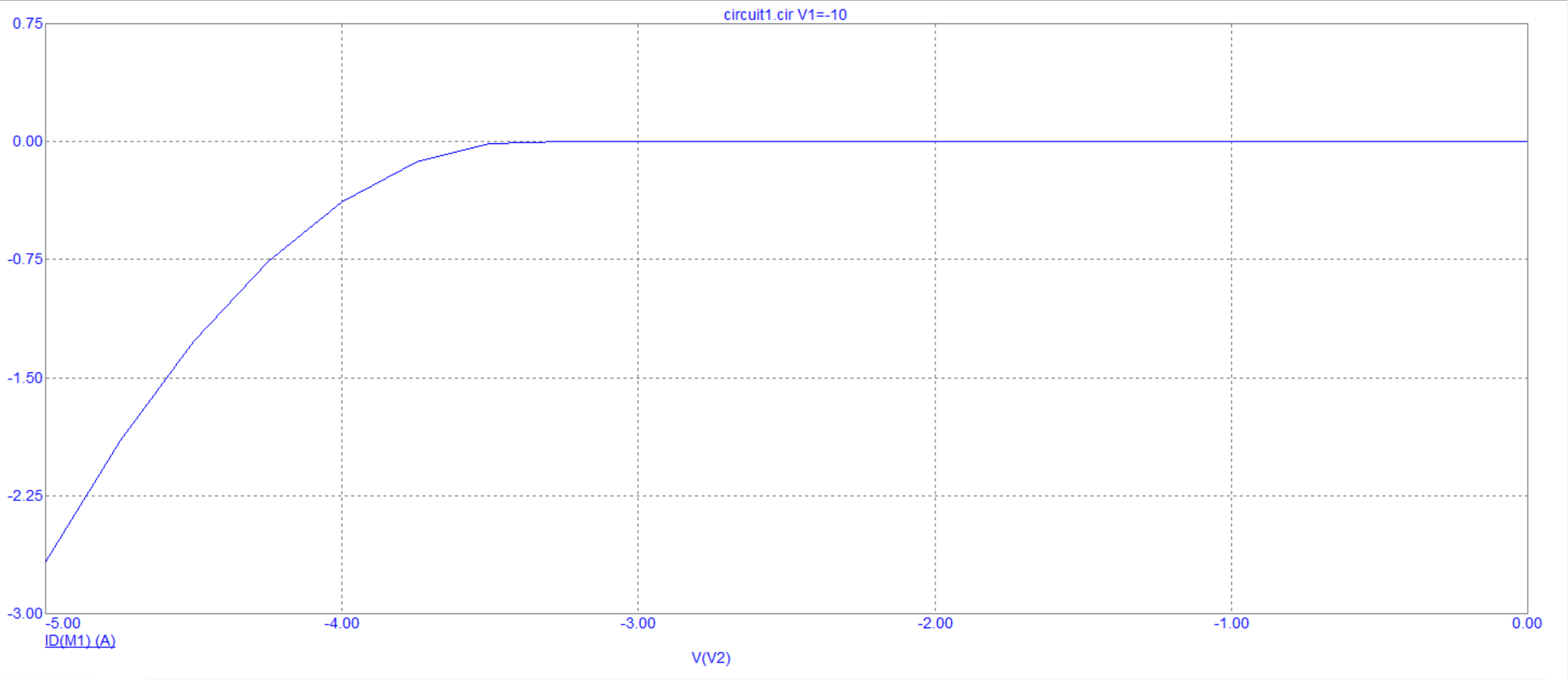


Рисунок 8 Передаточные характеристики PMOS

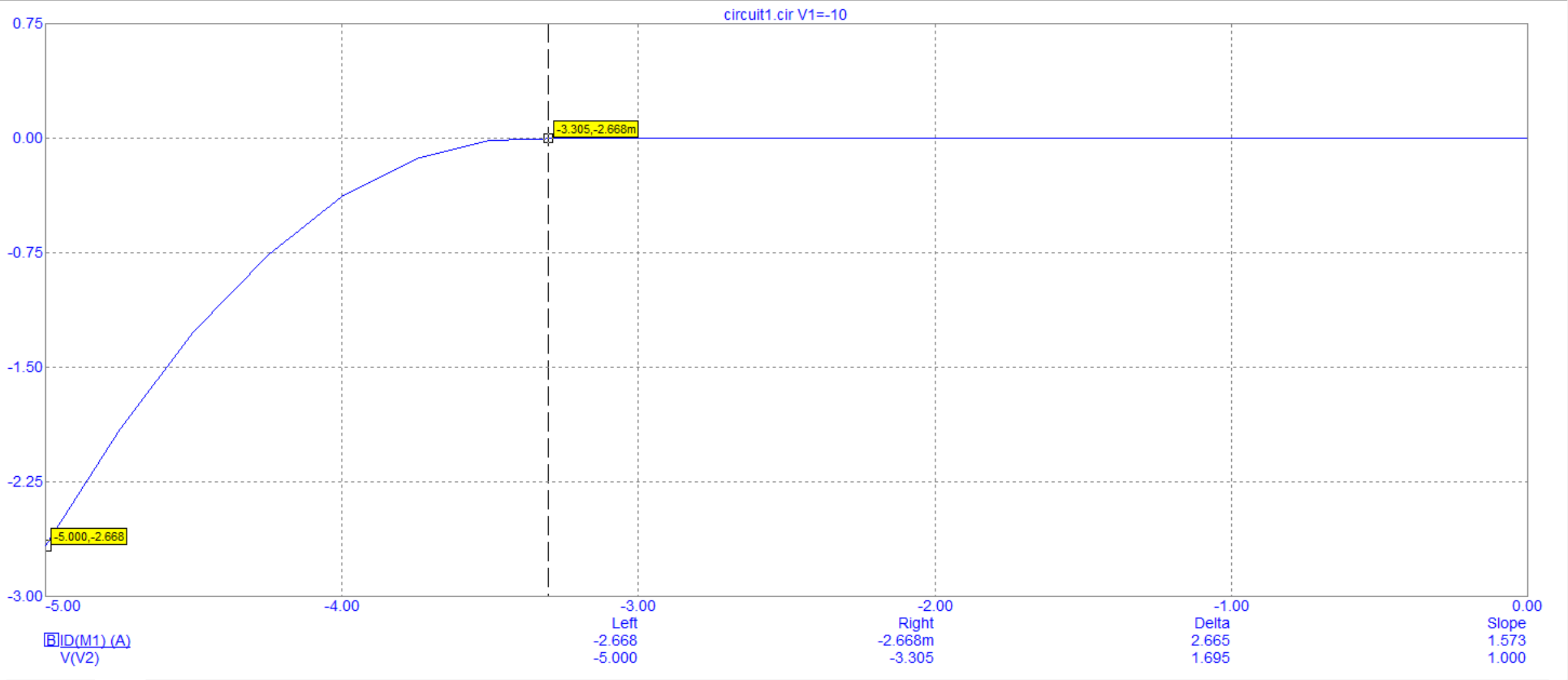


Рисунок 9 Закрытие транзистора

По графику можно сказать, что он закрывается при напряжении примерно ~-3.305В.

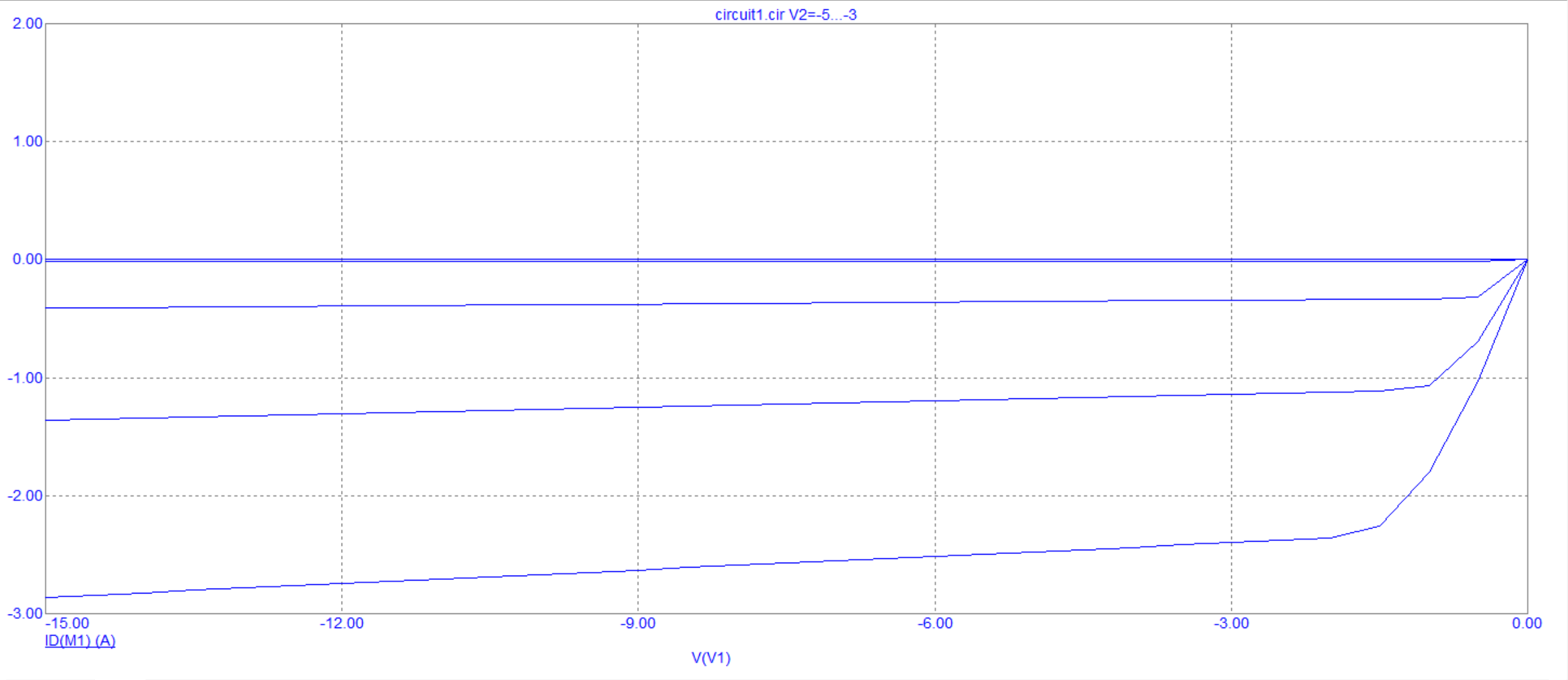


Рисунок 10 Выходные характеристики NMOS

## JFET как усилитель

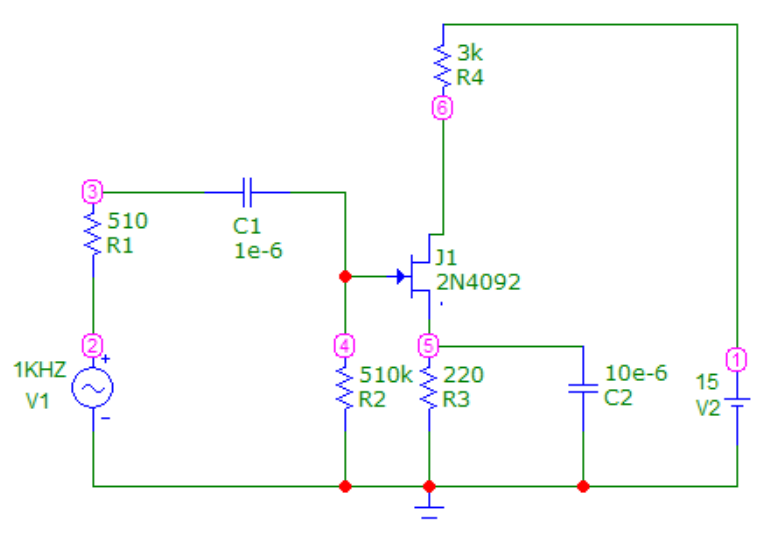


Рисунок 11 Схема

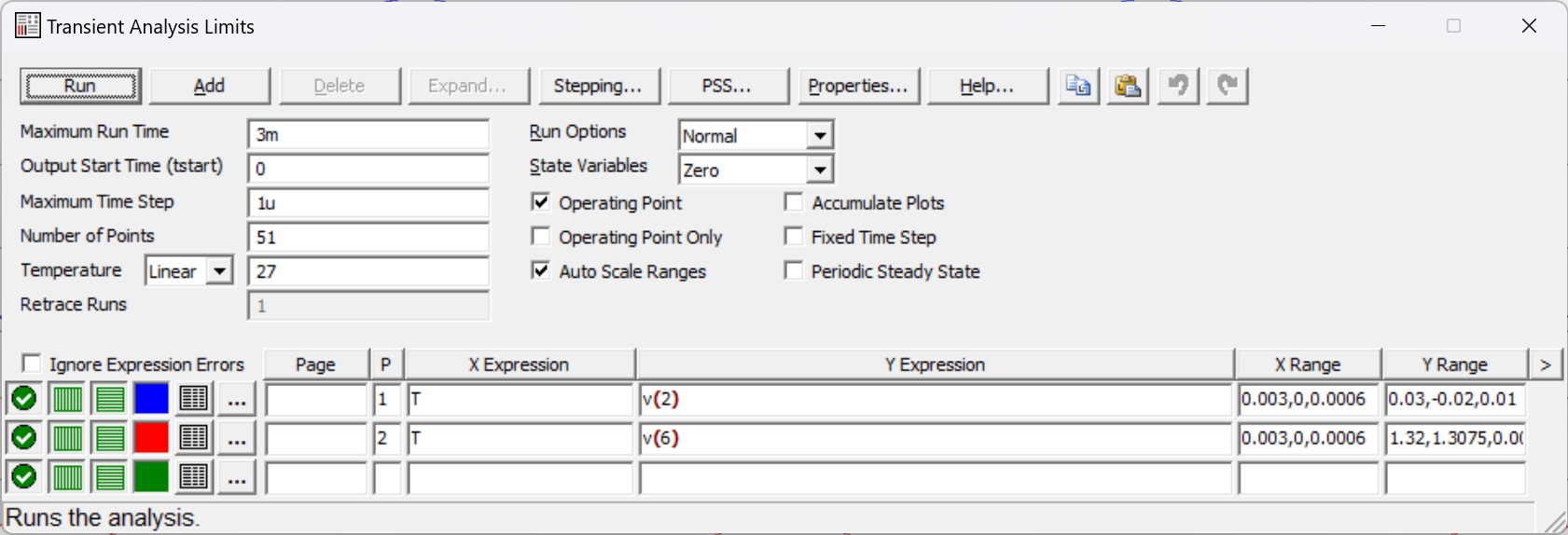


Рисунок 12 Параметры временного анализа

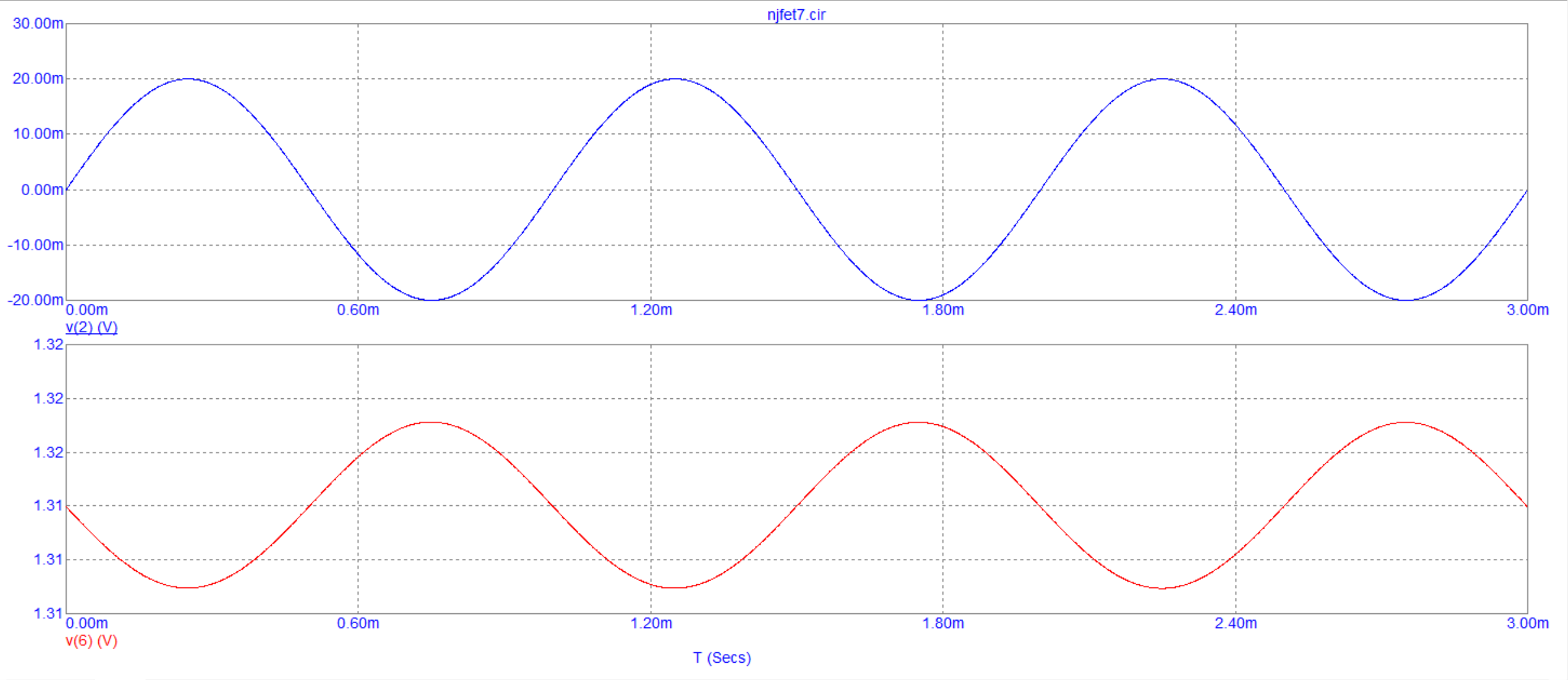


Рисунок 13 Результат временного анализа

Коэффициент усиления по напряжению равен отношению амплитуд входного и выходного напряжения: K = (1316мВ-1309мВ)/0.04В = 175

# Полевой транзистор в импульсном режиме

## Инвертор на основе КМОП ключа

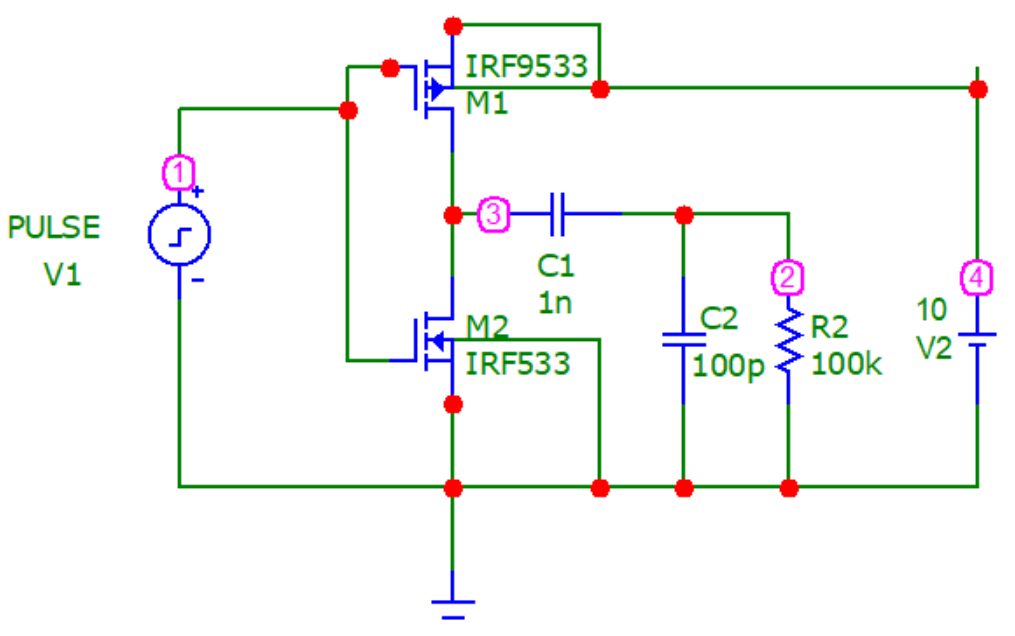


Рисунок 14 Схема

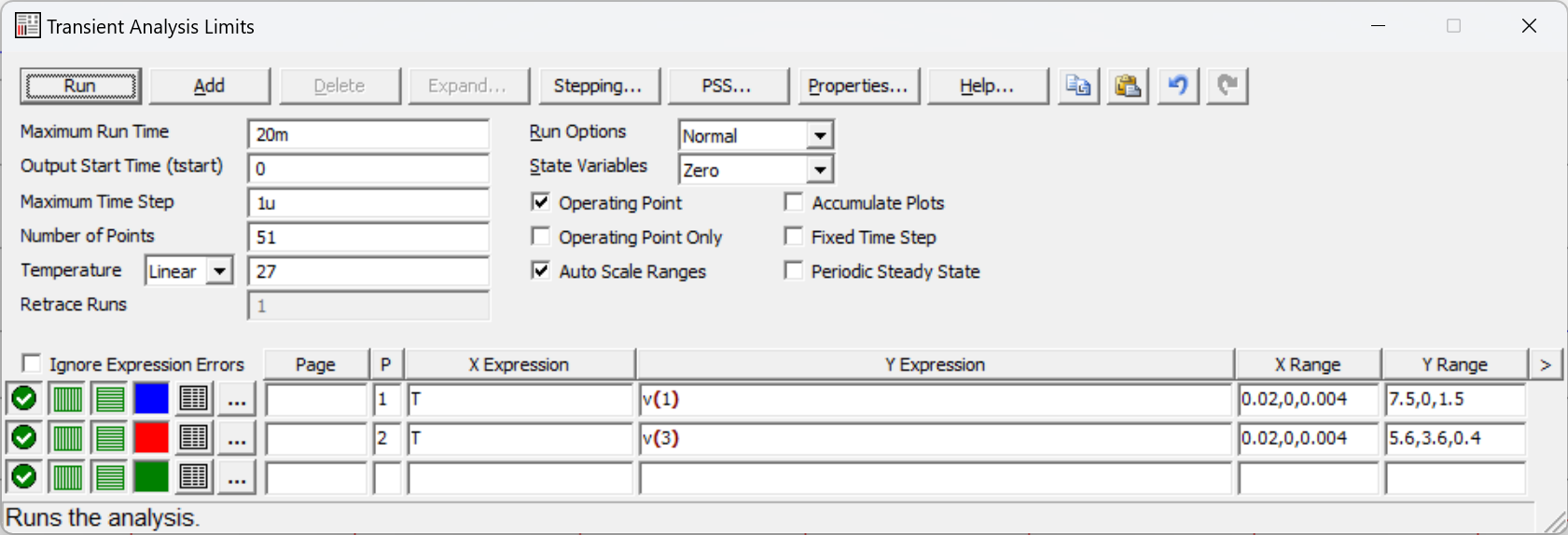


Рисунок 15 Настройки

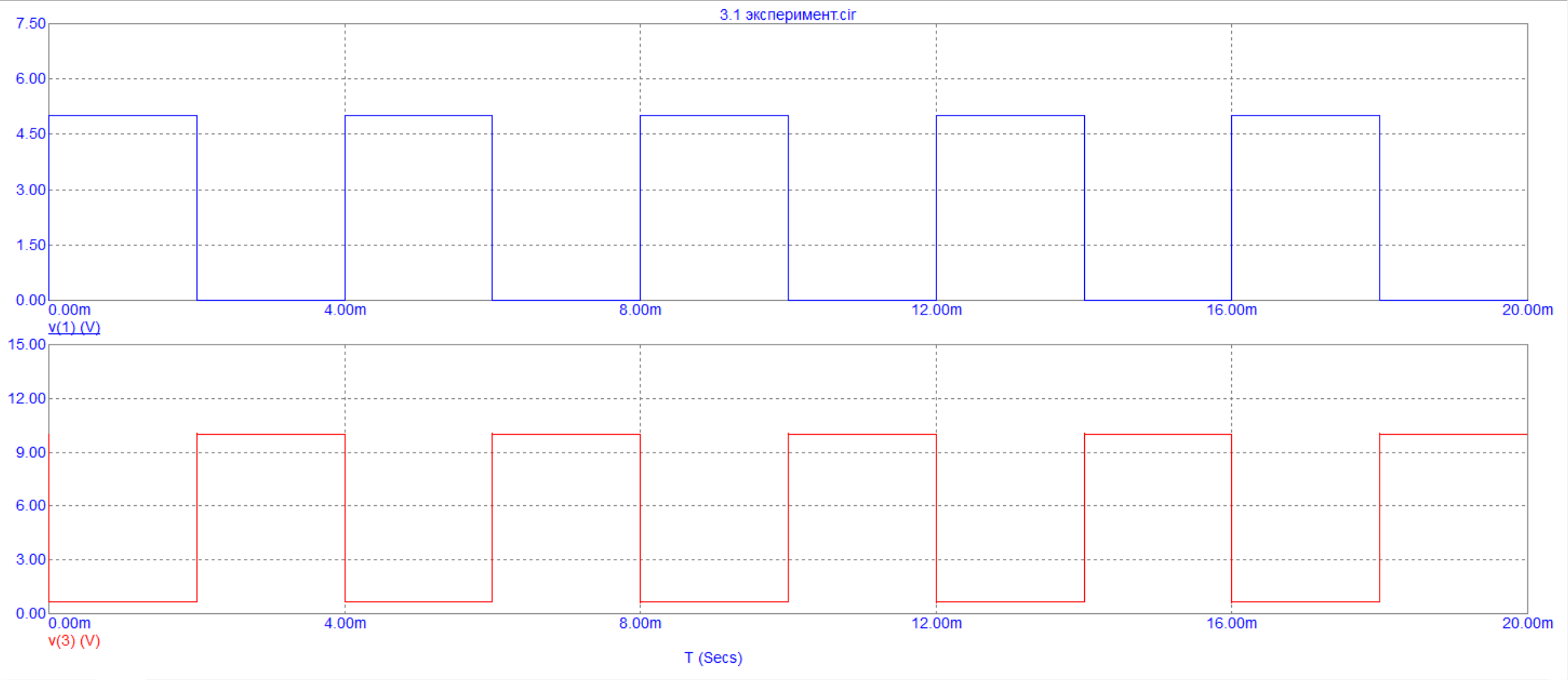


Рисунок 16 График

Из графика видно, что задержка по уровню 0.5 равна нулю, задержка перехода из 0 в 1 и наоборот равны нулю.

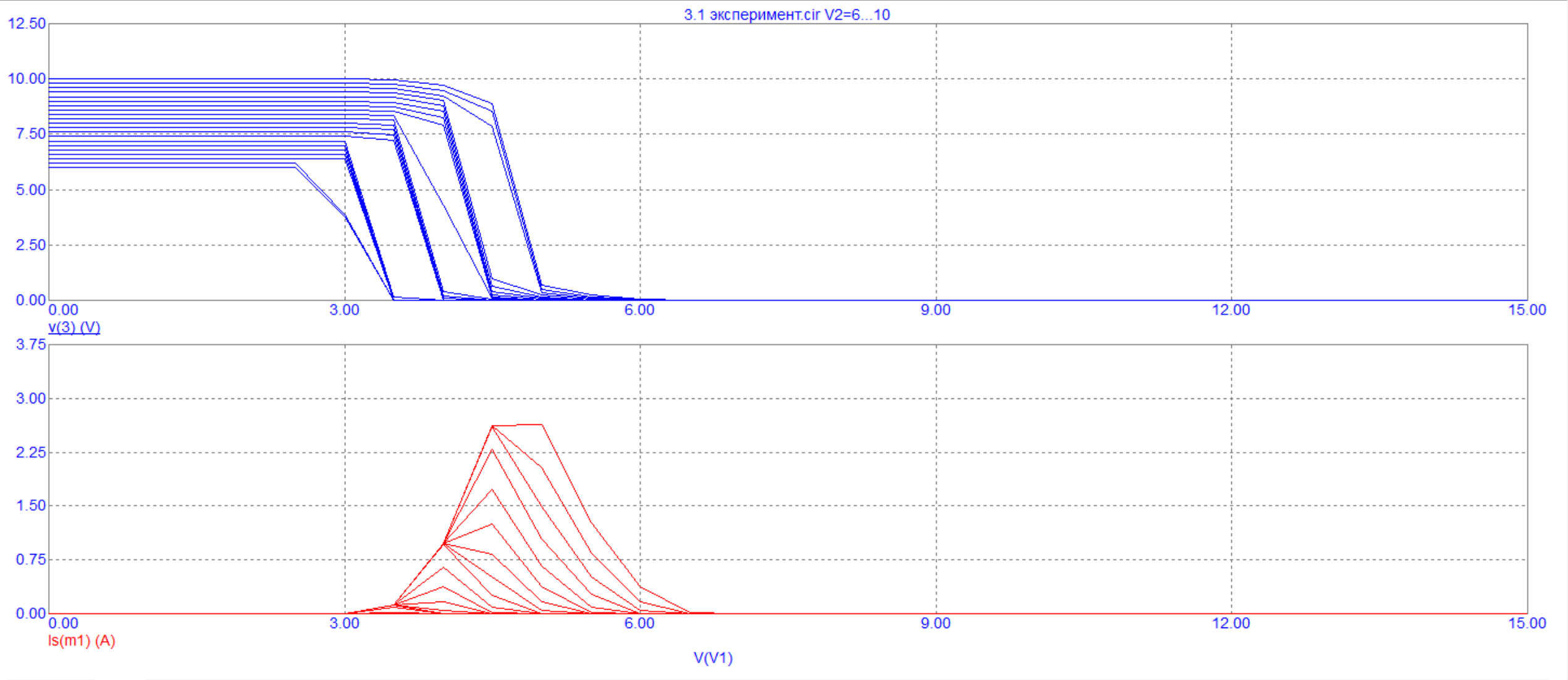
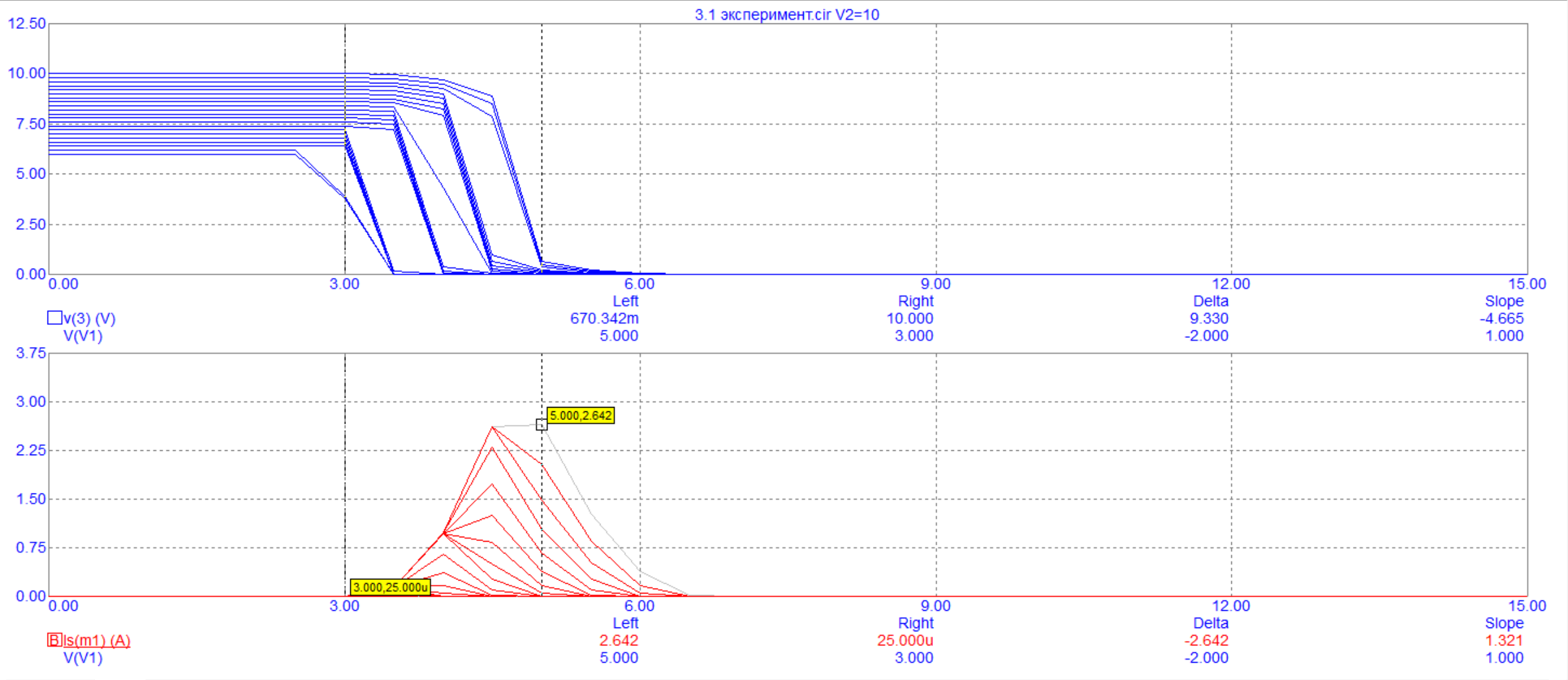


Рисунок 17 Передаточные характеристики



По полученным характеристикам определим напряжения, при которых открываются транзисторы – 3 В и 6.491 В и максимальный ток при напряжении питания 2.642 А. Поскольку транзисторы из задания условно комплементарны, поэтому характеристики отличаются от идеальных.

## Исследования логического элемента 2И-НЕ

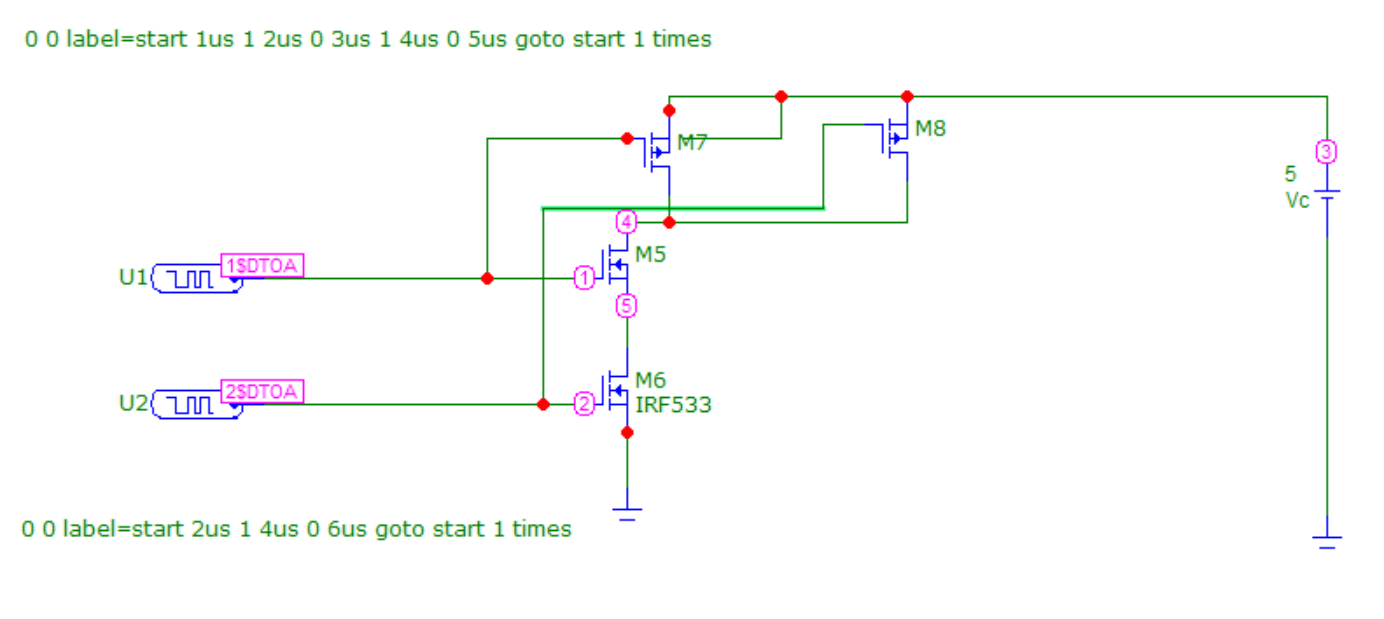


Рисунок 18 Схема

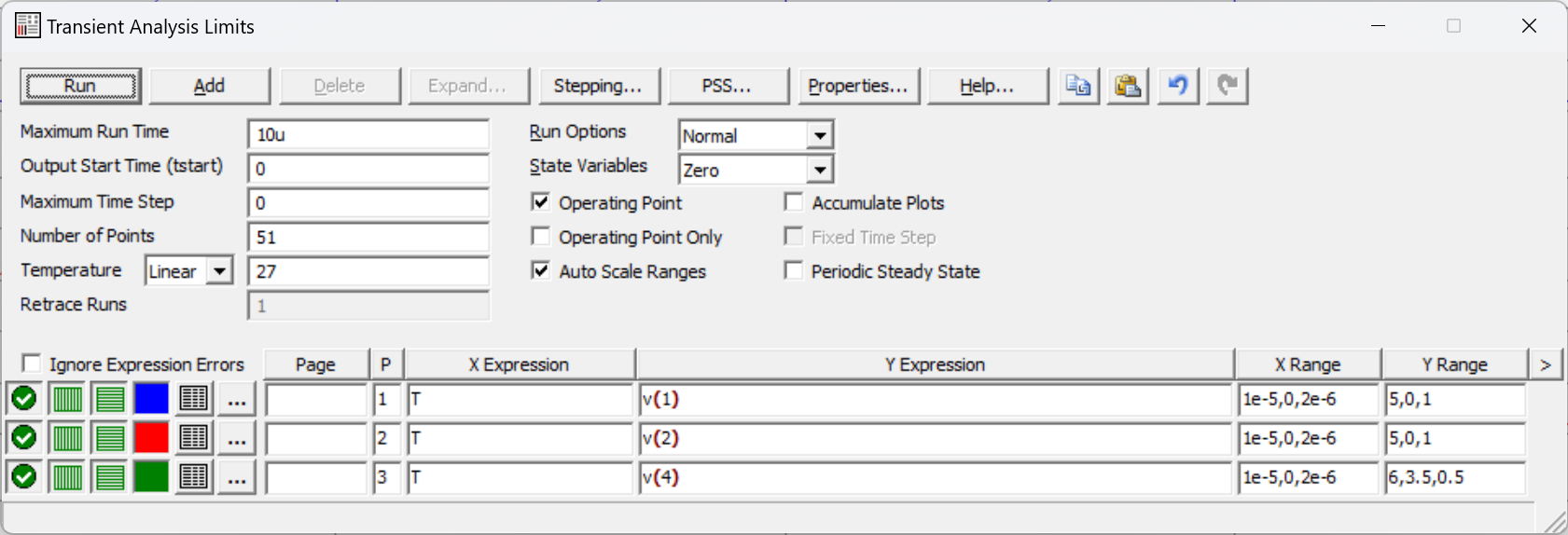


Рисунок 19 Настройки

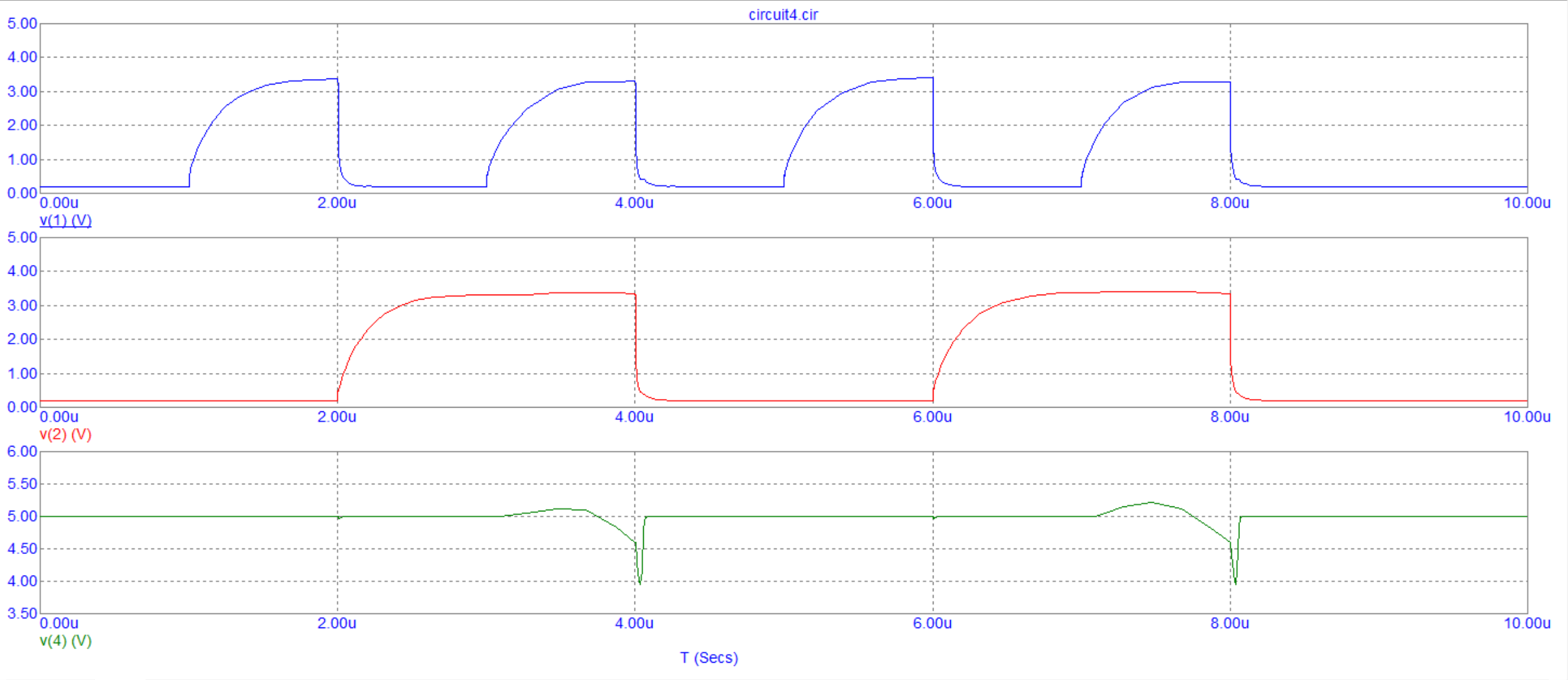


Рисунок 20 Грифик

Как можно увидеть, схема не работает должным образом. Чтобы добиться желаемого результата, пересоберём схему с DtoA преобразователями.

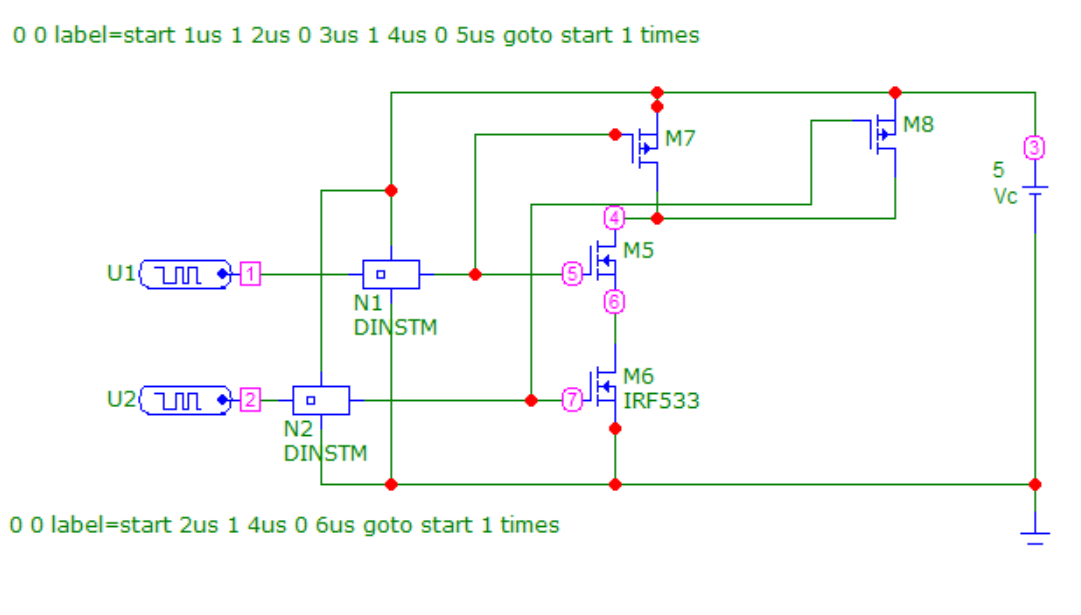
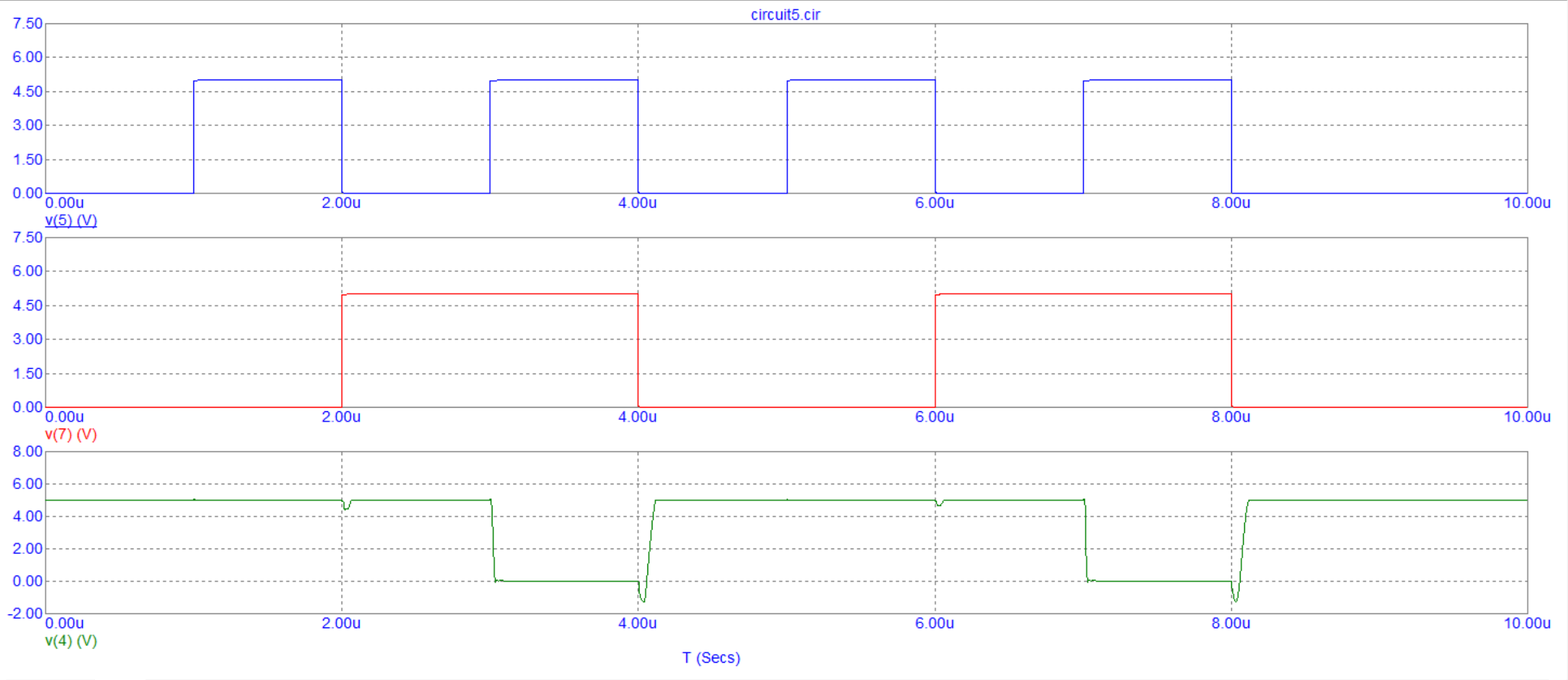
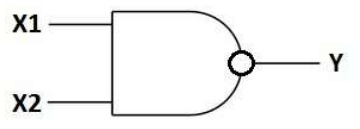
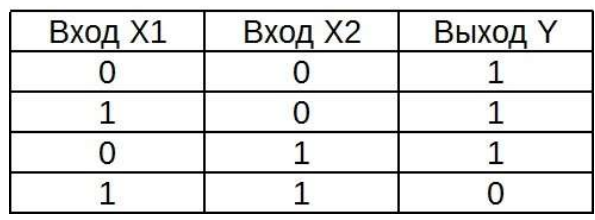


Рисунок 21 Схема с DtoA



Видим, что схема стала работать более корректно





# Устройство ячейки триггера статической памяти.

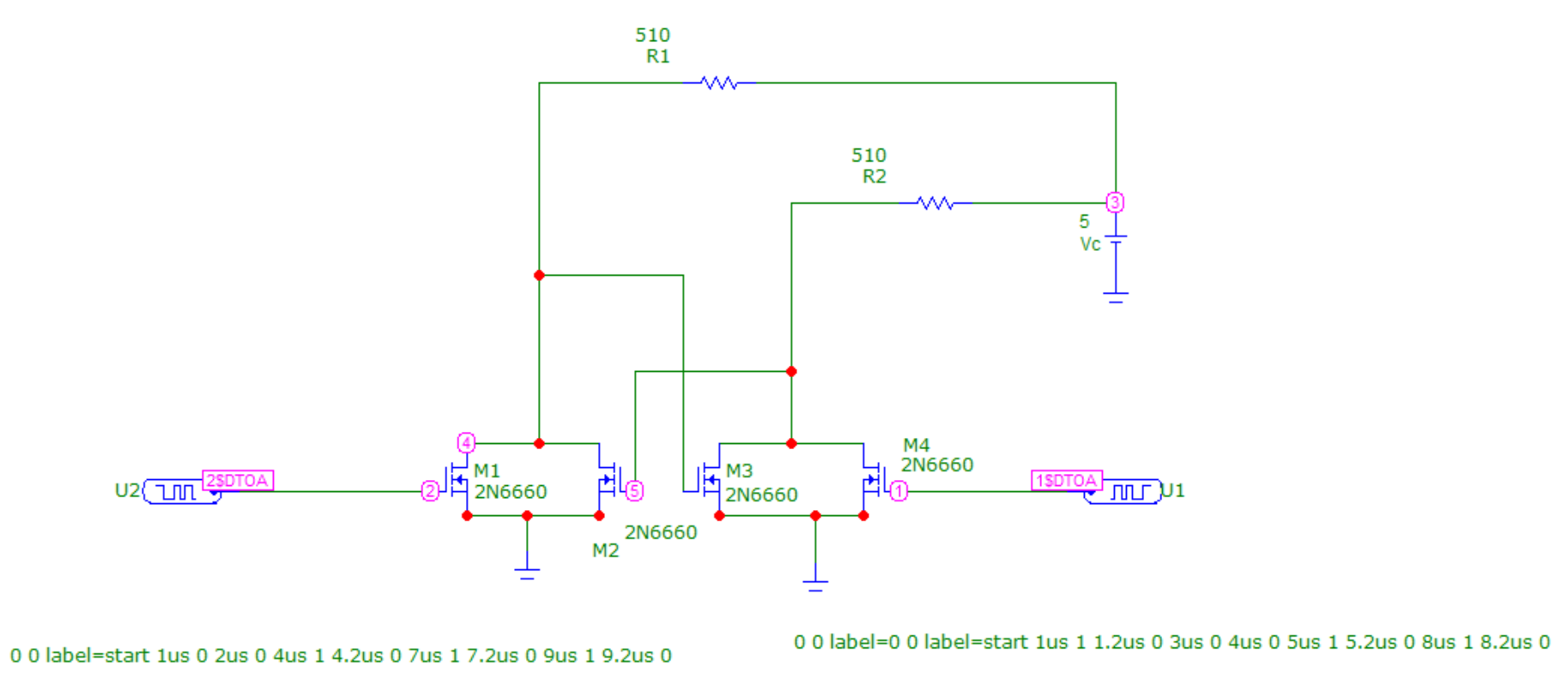


Рисунок 22 Схема

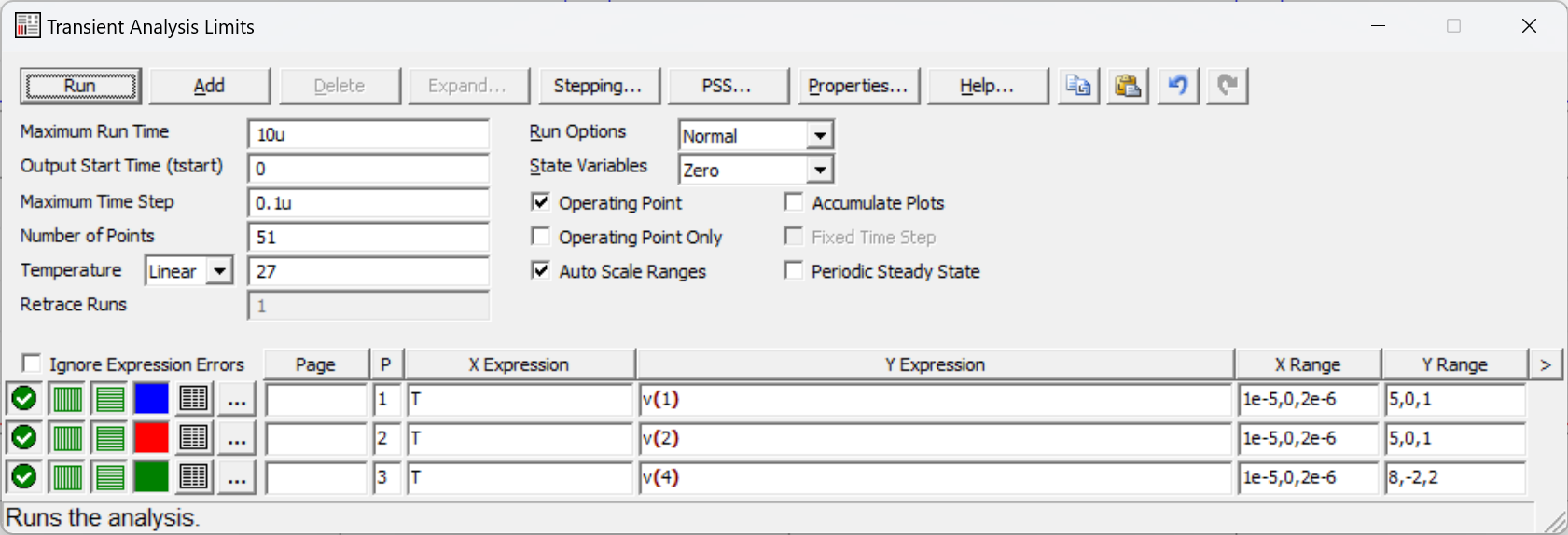


Рисунок 23 Настройки

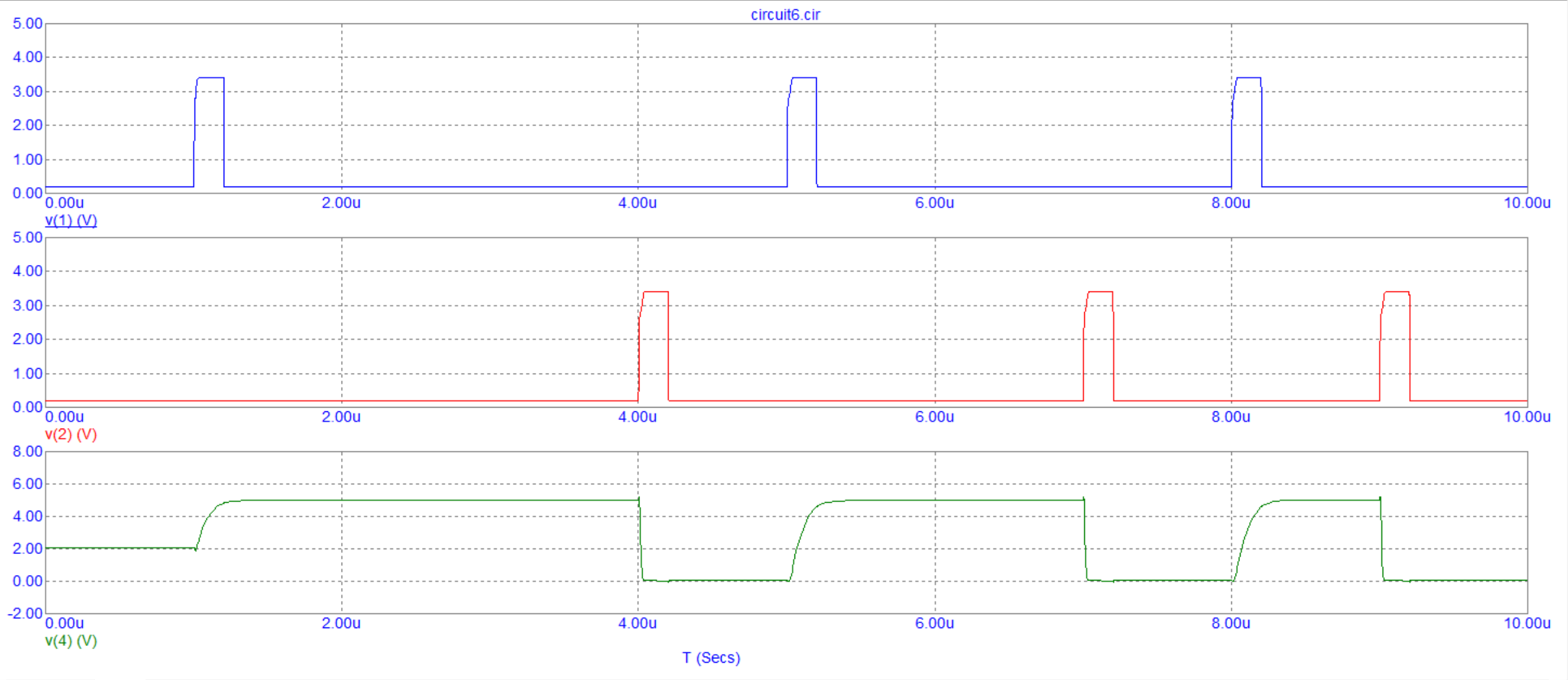


Рисунок 24 График